

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-311964
 (43)Date of publication of application : 07.11.2000

(51)Int.Cl.
 H01L 23/12
 H01L 21/82
 H01L 21/3205
 H01L 27/04
 H01L 21/822

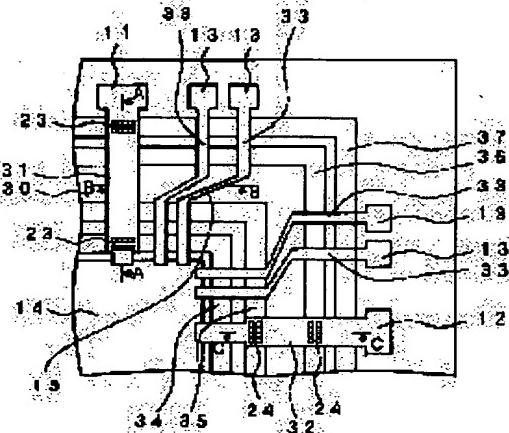
(21)Application number : 11-118859
 (22)Date of filing : 27.04.1999
 (71)Applicant : NEC CORP
 (72)Inventor : SAITO TATSUYA
 TACHIBANA HIROFUMI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device which is capable of preventing signals from being delayed due to capacitance in signal lines reducing power supply/ground noises.

SOLUTION: An inner circuit 14 and a ground pad 11, and a power supply pad 11 and a signal pad 13 are connected together with pad wiring layers 31, 32, and 33 respectively. Wiring layers 34, 35, 36, and 37 are formed extending under the pad wiring layers 31, 32, and 33 in a wiring region between the pads and the inner circuit, so as to surround the inner circuit 14. The wiring layers 35 and 36 are connected to the power supply pad wiring layer 32 via contacts 24, and a gap 30 occupied by an insulating film is provided between the wiring layers 35 and 36. The signal wiring layer 33 crosses the wiring layers 34 to 37 at right angles in a plan view.



LEGAL STATUS

[Date of request for examination] 24.03.2000
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-311964

(P2000-311964A)

(43)公開日 平成12年11月7日 (2000.11.7)

(51)Int.Cl.⁷

H 01 L 23/12
21/82
21/3205
27/04
21/822

識別記号

F I

H 01 L 23/12
21/82
21/88

テーマコード(参考)

E 5 F 0 3 3
P 5 F 0 3 8
W 5 F 0 6 4
A
T

審査請求 有 請求項の数16 O.L (全 16 頁) 最終頁に続く

(21)出願番号

特願平11-118859

(22)出願日

平成11年4月27日 (1999.4.27)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 斎藤 龍也

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 立花 裕文

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100090158

弁理士 藤巻 正憲

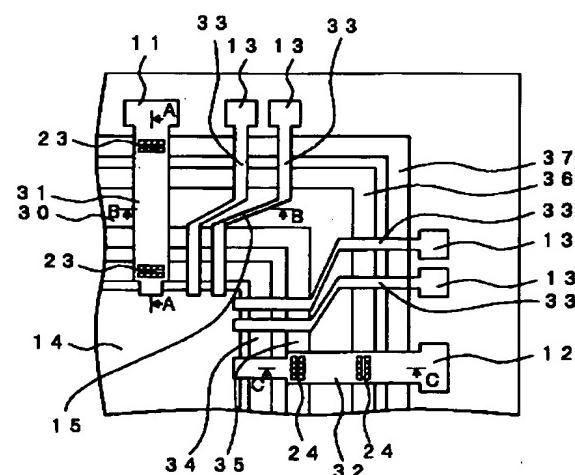
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 電源/接地ノイズを低減しつつ、信号線に容量が付いて信号が遅延することを防止できる半導体装置を提供する。

【解決手段】 内部回路14と接地パッド11、電源パッド12及び信号用パッド13との間は夫々パッド配線層31, 32, 33により接続されている。パッドと内部回路との間の配線領域におけるこれらのパッド配線層31, 32, 33の下層には、内部回路14を取り囲むように延びる配線層34, 35, 36, 37が形成されている。配線層35, 36は電源パッド配線層32にコンタクトを介して接続されており、両者間は絶縁膜が占めて隙間30が形成されている。信号用配線層33は配線層34~37に対し平面視で垂直に交差する。



11 ; 接地パッド

12 ; 電源パッド

13 ; 信号用パッド

14 ; 内部回路

23, 24 ; コンタクト

30 ; 隙間

31 ; 接地用パッド配線層

32 ; 電源用パッド配線層

33 ; 信号用配線層

34, 37 ; 接地配線層

35, 36 ; 電源配線層

【特許請求の範囲】

【請求項 1】 チップ周辺部に配置された第 1 電源用パッド、第 2 電源用パッド及び信号用パッドと、チップ中央部に配置された内部回路と、前記各パッドと前記内部回路との間の領域に絶縁膜を介して積層された多層配線からなる配線領域と、最上層の前記絶縁膜上に形成され前記第 1 電源用パッド及び第 2 電源用パッドに夫々接続された第 1 電源用パッド配線層及び第 2 電源用パッド配線層と、最上層の前記絶縁膜上に形成され前記信号用パッドと前記内部回路とを接続する信号用配線層と、を有し、前記配線領域は、前記第 1 電源用パッド配線層又は前記第 2 電源用パッド配線層に夫々コンタクトを介して接続された第 1 電源用配線層及び第 2 電源用配線層が前記内部回路を取り囲むように延びており、最上層の第 1 電源用配線層は、前記内部回路からチップ縁辺に向かう方向について複数個に分割されていることを特徴とする半導体装置。

【請求項 2】 チップ周辺部に配置された第 1 電源用パッド、第 2 電源用パッド及び信号用パッドと、チップ中央部に配置された内部回路と、前記各パッドと前記内部回路との間の領域に絶縁膜を介して積層された多層配線からなる配線領域と、最上層の前記絶縁膜上に形成され前記第 1 電源用パッド及び第 2 電源用パッドに夫々接続された第 1 電源用パッド配線層及び第 2 電源用パッド配線層と、最上層の前記絶縁膜上に形成され前記信号用パッドと前記内部回路とを接続する信号用配線層と、を有し、前記配線領域は、前記第 1 電源用パッド配線層又は前記第 2 電源用パッド配線層に夫々コンタクトを介して接続され前記内部回路を取り囲むように延びた第 1 電源用配線層及び第 2 電源用配線層を有し、最上層の第 1 電源用配線層は、前記内部回路からチップ縁辺に向かう方向について複数個に分割されており、各第 1 電源用配線層間には前記第 1 電源用配線層に接続された導体層が存在しないことを特徴とする半導体装置。

【請求項 3】 前記第 1 及び第 2 電源用配線層間の間隔は、これらの直下の第 1 又は第 2 電源用配線層との間隔よりも狭いことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記信号用配線層は、平面視で前記第 1 電源用配線層に交差する部分が前記第 1 電源用配線層に直交していることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記各信号用配線層は、平面視で前記第 1 電源用配線層に交差する部分が前記第 1 電源用配線層に対して同一の角度で傾斜していることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記信号用配線層は、平面視で前記第 1 電源用配線層及び第 2 電源用配線層に交差する部分が前記第 1 電源用配線層及び第 2 電源用配線層に直交していることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記

載の半導体装置。

【請求項 7】 前記各信号用配線層は、平面視で前記第 1 電源用配線層及び第 2 電源用配線層に交差する部分が前記第 1 電源用配線層及び第 2 電源用配線層に対して同一の角度で傾斜していることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 8】 前記配線領域においては、前記最上層の第 1 電源用配線層と同層で平行に延びる第 2 電源用配線層が形成されており、これらの第 1 電源用配線層と第 2 電源用配線層とでコンデンサを構成することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】 チップ周辺部に配置された第 1 電源用パッド、第 2 電源用パッド及び信号用パッドと、チップ中央部に配置された内部回路と、前記各パッドと前記内部回路との間の領域に絶縁膜を介して積層された多層配線からなる配線領域と、最上層の前記絶縁膜上に形成され前記第 1 電源用パッド及び第 2 電源用パッドに夫々接続された第 1 電源用パッド配線層及び第 2 電源用パッド配線層と、最上層の前記絶縁膜上に形成され前記信号用パッドと前記内部回路とを接続する信号用配線層と、を有し、前記配線領域は、基板上に形成された第 1 絶縁膜上に配置された第 1 層配線層と、前記第 1 絶縁膜上に形成された第 2 絶縁膜上に配置された第 2 層配線層と、前記第 2 絶縁膜上に形成された第 3 絶縁膜上に配置された第 3 層配線層と、を有し、前記第 1 乃至第 3 層配線層は前記内部回路を取り囲むように延びており、前記第 3 層配線層及び第 2 層配線層はコンタクトを介して前記第 1 電源用パッド配線層に接続され、前記第 1 層配線層はコンタクトを介して前記第 1 電源用パッド配線層に接続されており、前記第 1 層配線層と前記第 2 層配線層との間でコンデンサを構成すると共に、前記第 3 層配線層は複数個に分割されていることを特徴とする半導体装置。

【請求項 10】 前記第 1 層配線層と基板との間に、コンタクトを介して前記第 1 電源用パッド配線層に接続された他の配線層を有し、この他の配線層と、前記第 1 層配線層との間でコンデンサを構成することを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】 前記第 1 電源用パッドには内部回路に供給する電源線が接続され、前記第 2 電源用パッドは接地に接続されることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の半導体装置。

【請求項 12】 チップ周辺部に配置された第 1 電源用パッド、第 2 電源用パッド及び信号用パッドと、チップ中央部に配置された内部回路と、前記各パッドと前記内部回路との間の領域に絶縁膜を介して積層された多層配線からなる配線領域と、最上層の前記絶縁膜上に形成され前記第 1 電源用パッド及び第 2 電源用パッドに夫々接続された第 1 電源用パッド配線層及び第 2 電源用パッド配線層と、最上層の前記絶縁膜上に形成され前記信号用パッドと前記内部回路とを接続する信号用配線層と、を

有し、前記配線領域は、前記第1電源用パッド配線層又は前記第2電源用パッド配線層に夫々コンタクトを介して接続された第1電源用配線層及び第2電源用配線層が前記内部回路を取り囲むように延びており、前記各信号用配線層は、平面視で前記第1電源用配線層に交差する部分が前記第1電源用配線層に直交していることを特徴とする半導体装置。

【請求項13】チップ周辺部に配置された第1電源用パッド、第2電源用パッド及び信号用パッドと、チップ中央部に配置された内部回路と、前記各パッドと前記内部回路との間の領域に絶縁膜を介して積層された多層配線からなる配線領域と、最上層の前記絶縁膜上に形成され前記第1電源用パッド及び第2電源用パッドに夫々接続された第1電源用パッド配線層及び第2電源用パッド配線層と、最上層の前記絶縁膜上に形成され前記信号用パッドと前記内部回路とを接続する信号用配線層と、を有し、前記配線領域は、前記第1電源用パッド配線層又は前記第2電源用パッド配線層に夫々コンタクトを介して接続された第1電源用配線層及び第2電源用配線層が前記内部回路を取り囲むように延びており、前記各信号用配線層は、平面視で前記第1電源用配線層に交差する部分が前記第1電源用配線層に対し同一の角度で傾斜していることを特徴とする半導体装置。

【請求項14】チップ周辺部に周回するように形成された電源用配線層を有し、この電源用配線層は複数の配線層に形成され、上層の電源用配線層の面積を下層の電源用配線層より狭くしたことを特徴とする半導体装置。

【請求項15】前記上層の電源用配線層は周回状に形成された第1及び第2電源用配線層を有し、この第1及び第2電源用配線層の相互間隔を第1又は第2電源用配線層の幅よりも広くしたことを特徴とする請求項14に記載の半導体装置。

【請求項16】前記上層の電源用配線層を下層の電源用配線層との中継用配線としたことを特徴とする請求項14に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体チップの周辺部に電源パッド及び信号パッドを配置し、中央部に内部回路を配置し、内部回路とパッドとの間に多層配線構造の配線領域を配置した半導体装置に関する。

【0002】

【従来の技術】一般に、半導体装置は内部回路を有しており、内部回路はトランジスタ等の素子が形成された複数の回路ブロックで構成されている。半導体装置は、内部回路とパッドとの間が1層の配線層をパターニングした配線により接続され、このパッドはボンディングワイヤ及び外部接続用リード等を介して外部の回路と接続され、内部回路は外部と電気的信号をやりとりしている。このような従前の半導体装置では、半導体装置の外部に

おいて、電源端子と接地端子との間に平滑用のコンデンサを接続して、外部電源から半導体装置内部にノイズが伝わらないようにしている。

【0003】近年、半導体装置は扱う信号の周波数が数百MHzにも及ぶようになると、ボンディングワイヤ及び外部接続用リード等は複数の回路ブロックに対して共通インピーダンス（インダクタンス等）として作用してくるようになった。このため、半導体装置内のある回路ブロックで発生したノイズは、他の回路ブロックに伝わり、誤動作及び動作精度の劣化等を招いていた。半導体装置の外部に平滑用のコンデンサをつけても、内部で発生するノイズに対しては十分な平滑作用が得られなかった。

【0004】このようなノイズによる回路ブロック間の相互作用を防止するため、各ブロック毎に専用の電源／接地端子を設けることもある。しかし、回路規模増大に伴い、内部回路の回路ブロック数が多くなり、電源／接地端子数が増え、半導体装置を搭載するパッケージのサイズが大きくなるという問題点もあった。

【0005】前者の問題点を解決するために、特開平9-307067号公報（以下、従来例1と記す）には、外部との接続に使用しない未使用のパッドを利用して、デカップリングコンデンサを形成することが開示されている。同公報には、複数の配線層を絶縁膜を挟んで積層し、一層おきに電源配線と接地配線とを交互に配置することで浮遊容量を増加させている。しかしながら、未使用のパッドが必ずしも所定の回路ブロックの近くに形成できるとは限らず、所望の浮遊容量が得られなかったり、未使用のパッドと接続するための配線の抵抗により、十分な平滑作用が得られなかった。

【0006】また、特開平5-283611号公報（以下、従来例2と記す）には、半導体装置の内部回路の周囲に電源配線と接地配線を周回させると共に、対向させて配置することで、デカップリングコンデンサを形成し、ノイズを低減することが開示されている。電源配線と接地配線とを周回配線とし、周回配線層を形成するための新たな工程を追加して、凹凸を受けたり、高誘電率膜を形成することで、電源／接地端子数を増やすことなく、回路ブロックは直近の周回配線からインピーダンスの小さい電源電位と接地電位を得ることができる。

【0007】以下、図面を基に、従来の半導体装置の構成を説明する。図20は従来の半導体チップを示す平面配置図である。この図20に示すように、チップの周辺部に電源パッド1、接地パッド2及び信号用パッド3を配置し、チップ中央部に内部回路4を配置し、電源パッド1と内部回路4の端子との間を電源配線5により接続し、接地パッド2と内部回路4の端子との間を接地配線6により接続し、更に信号用パッド3と内部回路4の端子との間を信号用配線7により接続している。

【0008】また、内部回路4を取り囲むようにして延

びる電源配線層9と、接地配線層8が内部回路4を周回するように相互に平行に形成されており、又は上層と下層に周回するように形成されている。従来例2の公報では、後者の構成が記載されており、上層と下層との間に高誘電率の絶縁膜が形成され、且つ、上層と下層の配線層に凹凸が形成されている。この従来技術に示すように、電源配線層と接地配線層とをその間に絶縁膜を介して配置することにより、電源配線層と接地配線層との間で容量を形成し、この容量によるローパスフィルタを構成することにより、電源／接地ノイズを低減することができる。

【0009】また、別の従来技術（従来例3）として次のような課題がある。製造方法の進化により、従前の内部回路が小型化され、半導体装置が高速化された場合に、内部回路の小型化に合わせてパッケージの大きさを小さくすると、ウエハの段階で内部回路の良品又は不良品の検査（ダイソートテスト）をする際に、プローバのピン配置等を変更する必要があったり、ボンディングツールのボンディング位置情報を変更する必要が生じたり、パッケージを使用するユーザの側で大きさの変動による不都合が生じたりする。このため、内部回路が小型化されても、パッケージ自体の大きさは小型化せず、パッドの配置はそのままにしておきたいことがある。

【0010】そうすると、チップ周辺部に配置された各パッド1～3と、内部回路4（コア）との間を、長い配線5～7で接続する必要がある。このため、この配線5～7において、インダクタンス及び抵抗成分の影響が大きくなり、この場合も内部回路4の誤動作につながりやすい。

【0011】

【発明が解決しようとする課題】しかしながら、上記公報に記載された従来例2においては、パッドと内部回路との間の配線領域において、パッドと内部回路とを接続する信号配線と電源配線層との間に寄生容量が付加され、信号の遅延が生じるという問題点がある。

【0012】また、チップの辺の端部付近の配線は、辺の中央部付近の配線より配線長が長く、配線の寄生抵抗及び寄生容量が大きくなり、遅延時間が中央部付近の配線より長くなる。このため、外部から同じタイミングで信号を供給しても、内部回路に到達する時間に差が生じ、正確に信号を取り込めないという問題点を生じる。特に、半導体装置の動作周波数が高くなると、この遅延時間の差の影響が無視できなくなってきた。

【0013】また、従来例2は、デカップリング容量を増やすために、周回電源配線を形成するという新たな製造工程を追加するため、製造コストが高くなるという問題点もある。

【0014】本発明はかかる問題点に鑑みてなされたものであって、電源／接地ノイズを低減しつつ、信号線に容量が付いて信号が遅延することを防止できる半導体装

置を提供することを目的とする。また、本発明の他の目的は、パッドと内部回路とを接続する信号配線の遅延時間がパッド位置によって差が生じることを防止し、その遅延時間差を低減することができる半導体装置を提供することにある。

【0015】

【課題を解決するための手段】本発明に係る半導体装置は、チップ周辺部に配置された第1電源用パッド、第2電源用パッド及び信号用パッドと、チップ中央部に配置された内部回路と、前記各パッドと前記内部回路との間の領域に絶縁膜を介して積層された多層配線からなる配線領域と、最上層の前記絶縁膜上に形成され前記第1電源用パッド及び第2電源用パッドに夫々接続された第1電源用パッド配線層及び第2電源用パッド配線層と、最上層の前記絶縁膜上に形成され前記信号用パッドと前記内部回路とを接続する信号用配線層と、を有し、前記配線領域は、前記第1電源用パッド配線層又は前記第2電源用パッド配線層に夫々コンタクトを介して接続された第1電源用配線層及び第2電源用配線層が前記内部回路を取り囲むように延びており、最上層の第1電源用配線層は、前記内部回路からチップ縁辺に向かう方向について複数個に分割されていることを特徴とする。

【0016】本発明に係る他の半導体装置は、チップ周辺部に配置された第1電源用パッド、第2電源用パッド及び信号用パッドと、チップ中央部に配置された内部回路と、前記各パッドと前記内部回路との間の領域に絶縁膜を介して積層された多層配線からなる配線領域と、最上層の前記絶縁膜上に形成され前記第1電源用パッド及び第2電源用パッドに夫々接続された第1電源用パッド配線層及び第2電源用パッド配線層と、最上層の前記絶縁膜上に形成され前記信号用パッドと前記内部回路とを接続する信号用配線層と、を有し、前記配線領域は、前記第1電源用パッド配線層又は前記第2電源用パッド配線層に夫々コンタクトを介して接続され前記内部回路を取り囲むように延びた第1電源用配線層及び第2電源用配線層を有し、最上層の第1電源用配線層は、前記内部回路からチップ縁辺に向かう方向について複数個に分割されており、各第1電源用配線層間に前記第1電源用配線層に接続された導体層が存在しないことを特徴とする半導体装置。

【0017】前記第1及び第2電源用配線層間の間隔は、これらの直下の第1又は第2電源用配線層との間隔よりも狭くすることができる。また、前記信号用配線層は、平面視で前記第1電源用配線層及び／又は第2電源用配線層に交差する部分が前記第1電源用配線層及び／又は第2電源用配線層に直交しているか、又は前記第1電源用配線層及び／又は第2電源用配線層に対して同一の角度で傾斜していることが好ましい。

【0018】本発明に係る更に他の半導体装置は、チップ周辺部に配置された第1電源用パッド、第2電源用パ

ッド及び信号用パッドと、チップ中央部に配置された内部回路と、前記各パッドと前記内部回路との間の領域に絶縁膜を介して積層された多層配線からなる配線領域と、最上層の前記絶縁膜上に形成され前記第1電源用パッド及び第2電源用パッドに夫々接続された第1電源用パッド配線層及び第2電源用パッド配線層と、最上層の前記絶縁膜上に形成され前記信号用パッドと前記内部回路とを接続する信号用配線層と、を有し、前記配線領域は、基板上に形成された第1絶縁膜上に配置された第1層配線層と、前記第1絶縁膜上に形成された第2絶縁膜上に配置された第2層配線層と、前記第2絶縁膜上に形成された第3絶縁膜上に配置された第3層配線層と、を有し、前記第1乃至第3層配線層は前記内部回路を取り囲むように延びており、前記第3層配線層及び第2層配線層はコンタクトを介して前記第1電源用パッド配線層に接続され、前記第1層配線層はコンタクトを介して前記第1電源用パッド配線層に接続されており、前記第1層配線層と前記第2層配線層との間でコンデンサを構成すると共に、前記第3層配線層は複数個に分割されていることを特徴とする。

【0019】この半導体装置において、前記第1層配線層と基板との間に、コンタクトを介して前記第1電源用パッド配線層に接続された他の配線層を有し、この他の配線層と、前記第1層配線層との間でコンデンサを構成することもできる。

【0020】なお、例えば、前記第1電源用パッドには内部回路に供給する電源線が接続され、前記第2電源用パッドは接地に接続される。

【0021】本発明に係る更に他の半導体装置は、チップ周辺部に配置された第1電源用パッド、第2電源用パッド及び信号用パッドと、チップ中央部に配置された内部回路と、前記各パッドと前記内部回路との間の領域に絶縁膜を介して積層された多層配線からなる配線領域と、最上層の前記絶縁膜上に形成され前記第1電源用パッド及び第2電源用パッドに夫々接続された第1電源用パッド配線層及び第2電源用パッド配線層と、最上層の前記絶縁膜上に形成され前記信号用パッドと前記内部回路とを接続する信号用配線層と、を有し、前記配線領域は、前記第1電源用パッド配線層又は前記第2電源用パッド配線層に夫々コンタクトを介して接続された第1電源用配線層及び第2電源用配線層が前記内部回路を取り囲むように延びており、前記各信号用配線層は、平面視で前記第1電源用配線層に交差する部分が前記第1電源用配線層に直交しているか、又は前記第1電源用配線層に対し同一の角度で傾斜していることを特徴とする。

【0022】本発明に係る更に他の半導体装置は、チップ周辺部に周回するように形成された電源用配線層を有し、この電源用配線層は複数の配線層に形成され、上層の電源用配線層の面積を下層の電源用配線層より狭くしたことを特徴とする。

【0023】この半導体装置において、前記上層の電源用配線層は周回状に形成された第1及び第2電源用配線層を有し、この第1及び第2電源用配線層の相互間隔を第1又は第2電源用配線層の幅よりも広くするよう構成することができる。また、前記上層の電源用配線層を下層の電源用配線層との中継用配線とすることができます。

【0024】

【発明の実施の形態】以下、本発明の実施例について添付の図面を参照して具体的に説明する。図1は本発明の実施例に係る半導体装置の各層の配置を示す平面図、図2は図1のA-A線による断面図、図3は図1のB-B線による断面図、図4は図1のC-C線による断面図である。図1は、半導体装置のコーナ部分を拡大した平面図であり、図1に示すように、半導体チップの中央部に内部回路14が配置され、半導体チップの周辺部に接地パッド11、電源パッド12及び信号用パッド13が配置されている。そして、各パッド11~13と内部回路14との間の領域に、内部回路14を取り囲むようにして、多層配線構造の配線が形成されており、配線領域が構成されている。

【0025】即ち、半導体基板16の表面にはPウエル領域17が選択的に形成されており、更にこのPウエル領域17内には、その表面にコンタクトとPウエル領域17との間のオーミックコンタクトをとるためのP⁺領域18が形成されている。

【0026】そして、半導体基板16上には複数層の絶縁膜からなる絶縁膜19が形成されており、最下層の絶縁膜上に、ポリシリコン膜からなる第1層電源(VCC)配線層42が形成され、その上の絶縁膜上に、アルミニウム等の金属からなる第2層接地(GND)配線層41が形成され、その上の絶縁膜上に、同じくアルミニウム等の金属からなる第3層電源(VCC)配線層39と第3層接地(GND)配線層38及び40が形成されている。更に、その上の絶縁膜上に、第4層電源(VCC)配線層35、36と第4層接地(GND)配線層34、37とが形成されている。そして、絶縁膜19の表面上には、各パッド11~13と内部回路14とを接続する放射状の接地(GND)パッド配線層31、電源(VCC)パッド配線層32及び信号用配線層33が形成されている。即ち、接地パッド11と内部回路14とは接地パッド配線層31により接続され、電源パッド12と内部回路とは電源パッド配線層32により接続され、信号用パッド13と内部回路14とは信号用配線層33により接続されている。なお、図1内乃至図3には図示しないが、パッド11~13を除く絶縁膜19及び配線層31~33上には、半導体装置の表面を保護するカバー用の絶縁膜が形成される。以下の説明では、これを最上層の絶縁膜とは呼ばないことをとする。

【0027】絶縁膜19内のポリシリコン膜からなる第

1層電源配線層42は、内部回路14を取り囲むように配置され、配線領域の幅方向のほぼ全域を占める比較的広い幅を有する。また、第2層接地配線層41も内部回路14を取り囲むように配置され、配線領域の幅方向のほぼ全域を占める広い幅を有し、コンタクト20が形成された箇所ではこの第2層接地配線層41の幅は第1層電源配線層42よりも若干広いものであるが、コンタクト20が形成されていない箇所では、第2層接地配線層41の幅は第1層電源配線層42の幅と同一である。

【0028】そして、第3層には、内部回路14を3重に取り囲むようにして、3個の配線、即ち、接地配線層38、電源配線層39及び接地配線層40が内部回路14に近い方からこの順に配置されている。また、第4層には、内部回路14を4重に取り囲むようにして、4個の配線、即ち、内部回路14に近い方から、接地配線層34、電源配線層35、電源配線層36及び接地配線層37が形成されている。図1には、絶縁膜19上の配線の他に、この第4層配線層34～37が図示されている。

【0029】これらの第1層電源配線層42及び第2層接地配線層41は、夫々ポリシリコン膜及び金属膜を所定の幅にパターニングすることにより形成することができる。また、第3層接地配線層38、40及び第3層電源配線層39は配線領域に形成した金属膜をリング状の3本の配線にパターニングして形成することができ、第4層接地配線層34、37及び第4層電源配線層35、36は金属膜を4本のリング状の配線にパターニングすることにより形成することができる。更に、絶縁膜19上の配線31、32、33も同様に金属膜のパターニングにより形成することができる。

【0030】そして、図1及び図2に示すように、接地パッド11に接続された接地パッド配線層31と、その下層の第4層の接地配線層34、37とは両者間の絶縁膜に形成されたコンタクト23により接続されている。また、図1及び図4に示すように、電源パッド12に接続された電源パッド配線層32と、その下層の第4層の電源配線層35、36とは両者間の絶縁膜に形成されたコンタクト24により接続されている。

【0031】また、図2及び図4に示すように、第4層の接地配線層34、37と第3層の接地配線層38、40とはコンタクト22により接続されており、第4層の電源配線層35、36と第3層の電源配線層39とはコンタクト22により接続されている。

【0032】更に、第3層の接地配線層38、40と第3層の接地配線層41とはコンタクト21により接続されている。そして、第2層の接地配線層41と基板表面のP⁺領域18とはコンタクト20により接続されている。

【0033】更にまた、図3に示すように、第3層の電源配線層39と第1層の電源配線層42とはコンタクト

26により接続されている。このコンタクト26は第2層の接地配線層41に設けた開口部28を介して、この第2層接地配線層41と接触しないように、第2層接地配線層41を挿通している。また、第2層の接地配線層41と基板表面のP⁺領域18とがコンタクト25により接続されている。このコンタクト25は第1層の電源配線層42に設けた開口部27を介してこの第1層電源配線層42に接觸しないようにして、第1層電源配線層42を挿通している。

【0034】絶縁膜19内の配線のうち、最上層の第4層配線層において、電源配線層35、36はその下層の第3層電源配線層39に共通に接続されているが、第4層電源配線層35、36同士は、その間にスリット（隙間）30を有して離隔している。この隙間30は配線層34～37をバターニングする際に、この部分をエッチング除去することにより形成される。

【0035】また、絶縁膜19上には、信号用パッド13と内部回路14とを接続する信号用配線33が形成されている。この信号用配線33はパッド13側でその下層の接地配線層37及び電源配線層36と平面視で垂直に交差し、内部回路14側で下層の電源配線層35及び接地配線層34と平面視で垂直に交差する。そして、信号用パッド13の配列ピッチの方が内部回路14における信号線の入力端子の配列ピッチよりも大きく、また、両者の相対的位置関係は任意であるので、内部回路14の信号線入力端子と信号用パッド13とを接続する信号用配線層33はその中央部でチップ縁辺に対して傾斜して延びる傾斜部15を有する。即ち、信号用配線層33はそのパッド13側及び内部回路14側の部分がチップ縁辺に平行に延びる下層第4層配線層に垂直に延び、この垂直部の間の部分がチップ縁辺に対して傾斜して延びる傾斜部15となっている。なお、チップの中央部に配置される信号用配線層については、直線状に延びているものもあるが、いずれにしても、信号線用配線はその下層の電源配線層33、35及び接地配線層37、34と交差する部分では、これらに垂直に延びている。

【0036】また、第4層の電源配線層35、36と夫々接地配線層34、37とはこれらの配線層のパターニングのためのフォトリソグラフィ（PR）工程上の限界近くまで、近接して配置されている。また、配線層35～37の各線幅は、配線31～33との間の寄生容量を低減するため、コンタクト形成領域ではコンタクト22～24と中継できる最小の幅であることが望ましく、コンタクトがない領域ではフォトリソグラフィ（PR）工程上の限界近くまで細い幅であることが望ましい。隙間30の幅は、同様な理由により、幅広いことが望ましい。

【0037】なお、電源（VCC）を第1電源、接地（GND）を第2電源と呼ぶ。

【0038】次に、上述の半導体チップの各層の配置態

様について説明する。図5は各層の全体を示す平面図であり、(a)は最上層、(b)乃至(e)は順次その下層であり、(f)は半導体基板表面の拡散層の配置を示す。図5(a)は図1のパッド配線層の全体配置を示す図、図5(b)はその下層の第4層配線層の全体配置を示す図であり、これらは図1に示されている。そして、図5(c)は第3層配線層の全体配置、図5(d)は第2層配線層の全体配置、図5(e)は第1層配線層の全体配置を夫々示す図であり、図5(c)、(d)、

(e)及び(f)の1/4部分の拡大図を夫々図6、図7、図8及び図9に示す。また、図5(a)、(b)の部分拡大図を図1に示す。

【0039】図5(a)に示すように、チップ周辺部から内部回路14に向けて、接地パッド11、電源パッド12及び信号用パッド13に接続されたパッド配線層31、32、33が形成されており、図5(b)に示すように、このパッド配線層31、32、33の下層に内部回路14を4重に取り囲むようにして、第4層における電源配線層35、36及び接地配線層34、37が形成されている。

【0040】更に、この第4層の下層に、図5(c)及び図6に示すように、内部回路14を3重に取り囲むようにして第3層の電源配線層39及び接地配線層38、40が形成されている。また、電源配線層39はコンタクト22を介して上層(第4層)の電源配線層35、36と接続され、接地配線層38、40はコンタクト22を介して第4層の接地配線層34、37と接続されている。更に、この第3層の下層に、図5(d)及び図7に示すように、内部回路14を取り囲む第2層の接地配線層41が形成されている。また、第2層の接地配線層41はコンタクト21を介して上層(第3層)の接地配線層38、40と接続されている。更に、接地配線層41には複数の開口部28があり、開口部28の内部には上層(第4層)の電源配線層35、36と下層(第1層)の電源配線層42とを接続するコンタクト26が挿通している。ここでは、上層(第4層)の電源配線層35、36と下層(第1層)の電源配線層42とを接続するコンタクト26が1回の製造工程で形成された例を示すが、開口部28の内部に第2層の接地配線層41と同一工程で形成された中継用の配線層を設けて、コンタクト26を別々(2回)の製造工程で形成するようにしてもよい。

【0041】更に、この第2層の下層に、図5(e)及び図8に示すように、内部回路14を取り囲む第1層の電源配線層42が形成されている。また、第1層の電源配線層42はコンタクト26を介して上層(第3層)の電源配線層39と接続されている。更に、電源配線層42には複数の開口部27が形成されており、開口部27の内部には上層(第2層)の接地配線層41と下層のP⁺領域18とを接続するコンタクト25が挿通してい

る。ここでは、上層(第3層)の電源配線層39と下層のP⁺領域18とを接続するコンタクト25が1回の製造工程で形成された例を示すが、開口部27の内部に第1層の電源配線層42と同一工程で形成された中継用の配線層を設けて、コンタクト25を別々(2回)の製造工程で形成するようにしても良い。第1層の電源配線層42はポリシリコンにより形成されており、第2層乃至第4層の各配線層及びパッド配線層31乃至33は、アルミニウム等の金属により形成されている。

【0042】そして、半導体基板16の表面には、上述の配線層と整合するように、内部回路14を中心としてリング状に延びるPウエル17が形成されている。Pウエル17の表面に形成されたP⁺領域18は、図5(f)及び図9に示すように、第1層の電源配線層42に形成された開口部27内に挿通するコンタクト25を介して第2層の接地配線層41に接続されている。

【0043】次に、上述の如く構成された半導体装置の動作について説明する。信号線は信号用パッド13から信号用配線層33を介して内部回路14に入力され、電源電圧VCCは電源パッド12に与えられ、接地パッド11には外部の接地配線がボンディング接続される。電源電圧は電源用パッド配線層32からコンタクト24、22、26を介して配線領域に形成された多層配線構造の電源配線層35、36、39、42に与えられる。一方、接地電位GNDは、接地パッド配線層31からコンタクト23、22、21を介して、多層配線構造の接地配線層34、37、38、40、41に与えられ、第2層の接地配線層41からコンタクト20を介して基板16の表面のP⁺領域18に与えられ、基板16に形成されたPウエル17に接地(GND)電位を与えるようになっている。また、電源用、接地用パッド配線層32、31は、内部回路14と接続され、内部回路14に電源電位と接地電位を夫々供給する。更に、図示はしていないが、電源用、接地用パッド配線層32、31が形成された領域以外に、内部回路14と電源配線層35、接地配線層34とを接続する配線層を形成して、内部回路14に電源電位と接地電位を夫々供給するようにしても良い。

【0044】而して、本実施例においては、チップ周辺部の配線領域に多層配線構造が形成されており、この多層配線構造において、絶縁膜19上の接地パッド配線層31は絶縁膜19内の最上層の電源配線層35、36と両者間の絶縁膜を間に挟んで平行に対向している。また、絶縁膜19内においては、第3層の電源配線層39と第2層の接地配線層41とが両者間に絶縁膜を挟んで平行に対向しており、更に、第2層の接地配線層41と第1層の電源配線層42とは両者間に絶縁膜を挟んで平行に対向して配置されている。このため、内部回路14と外部引き出し用の電源用パッド12及び接地用パッド11との間に、バイパスコンデンサが介装された状態に

あり、この多層配線構造において、電源ノイズ及び接地ノイズが除去される。

【0045】この場合に、絶縁膜19上には、電源用パッド配線層32及び接地パッド配線層31の他に、信号用配線層33が形成されており、この信号用配線層33とその下層の第4層の各電源配線層35, 36及び接地配線層34, 37との間で寄生容量が付加してしまうことが考えられるが、本実施例においては、電源用配線層35及び36は広幅の一面に延びた配線層ではなく、両者間に隙間30が設けられており、最上層の電源配線層35, 36はその分全体の幅が狭くなっている。従って、信号用配線層33と最上層（第4層）電源配線層35, 36との間につく寄生容量は小さい。また、電源配線層35, 36の両側に配置された接地配線層34, 37も幅が狭いので、信号用配線層33に不必要的寄生容量を付加してしまうことが抑制される。

【0046】一方、この第4層電源配線層35, 36の下方には、幅が広い第3層電源配線層39が形成されているので、その下層の第2層接地配線層41との間で十分に大きな容量値のバイパスコンデンサを構成する。従って、電源／接地ノイズは十分に除去することができる。なお、この第3層電源配線層39と信号線配線層33との間の寄生容量は第4層との間に比べて遙かに少ない。

【0047】また、本実施例においては、最上層の第4層電源配線層35及び36と、夫々それに隣接する第4層接地配線層34, 37との間は、近接しているので、両者間にバイパスコンデンサが形成される。例えば、本実施例において、第1層のポリシリコン配線層の厚さは0.1μmであり、基板上にポリシリコン第1層配線層との間に形成された絶縁膜は6nmと極めて薄いものである。ポリシリコン配線層の表面と第2層金属配線層（金属配線のうち最下層）の下面との間の距離は、0.78μm、第2層配線層と第3層金属配線層との間の距離（絶縁膜の厚さ）は0.8μm、第3層配線層と第4層金属配線層（絶縁膜内の最上層の金属配線層）との間の距離（絶縁膜の厚さ）は0.8μm、第4層配線層とパッド配線層との間の距離（絶縁膜の厚さ）は0.8μmであり、第2層乃至第4層金属配線層の厚さは0.61μm、パッド配線層の厚さは1.01μmである。更に、第4層電源配線層35（及び36）と、第4層接地配線層34（及び37）との間の距離は、0.4μm、これらの配線層34乃至37の幅は100μmである。なお、上述の寸法において、ポリシリコン膜が形成された半導体基板の表面と第2層金属配線層との間の容量値は、比誘電率を ϵ_k として $3.9\epsilon_k$ となり、金属配線層間の容量値は $4.2\epsilon_k$ となる。このように、最上層の第4層において、電源配線層35と接地配線層34との間、及び電源配線層36と接地配線層37との間の距離は極めて短く、両者間にバイパスコンデンサが形成さ

れる。

【0048】これにより、電源／接地ノイズが更に一層低減される。通常、絶縁膜は下層のものほど薄くなる。このため、Pウエル17と第1層電源配線層42との間、下層の第1層電源配線層42と第2層接地配線層41との間、及び第2層接地配線層41と第3層電源配線層39との間に形成されるコンデンサは、導体間の容量絶縁膜の厚さが薄いものとなり、また導体の面積は大きいので、極めて大きな容量値を得やすい。これに対し、上層に配置される導体（第3層及び第4層）と両者間の絶縁膜により形成されるコンデンサは、絶縁膜19の厚さが下層より厚いので、同一面積の配線層を形成しても、大きな容量値を得ることができないものであるが、本実施例においては、配線層の側面を利用し、上層の導体、即ち第4層電源配線層35, 36はその横に近接する第4層接地配線層34, 37との間でコンデンサを構成するので、導体間の距離、即ち、絶縁膜の厚さはPR工程により決まる限界まで小さくできるため、極めて大きな容量値を得ることができる。従って、本実施例の多層配線構造は高効率で高容量値のバイパスコンデンサを構成することができる。

【0049】前述の如く、本実施例においては、最上層の電源配線層35, 36は両者間に隙間30をおいて幅が狭いものとなっているので、その上に形成される信号用配線層33との間の寄生容量を十分に小さくすることができますが、信号用配線層33と電源配線層35, 36とが対向している以上、若干の寄生容量は生じる。そして、これにより、信号に若干の遅延が生じるが、本実施例においては、信号用配線層33は電源配線層35, 36及び接地配線層34, 37と交差する領域において、これらの下層電源配線層と垂直に交差する。このため、平面視で、信号用配線層33と、電源配線層35, 36及び接地配線層34, 37とが重なる面積は、信号用配線層33の幅が均一である限り、全ての信号用配線層33について一定である。このため、各信号用配線層33につく寄生容量は一定であり、従って、それに起因する信号の遅延量は一定である。

【0050】これに対し、図20に示す従来の半導体装置においては、信号用パッド3と内部回路4とを接続する信号用配線層7は、直線状に延びているので、内部回路の入出力端子の位置及び信号用パッド3の位置により、信号用配線層7がチップ縁辺に対して傾斜する角度が異なる。従って、本実施例のように、配線領域において、信号用配線層7の下層に電源配線層をチップ縁辺に平行に延びるように配置した場合、信号用配線層7と下層電源配線層とが交差する角度が、信号用パッド3の位置により異なり、信号用配線層7の幅が一定であったとしても、平面視で信号用配線層7と下層電源配線層とが重なる面積が異なってしまう。そうすると、信号用配線層7につく寄生容量が各信号線について相違し、遅延時

間が各信号線について相違してしまう。これに対し、本実施例においては、図1に示すように、信号用配線層33は電源配線層35、36及び接地配線層34、37と交差する領域において、これらの下層電源配線層と垂直に交差するので、平面視で、信号用配線層33と、電源配線層35、36及び接地配線層34、37とが重なる面積は、全ての信号用配線層33について一定である。従って、各信号用配線層33につく寄生容量は一定であり、それに起因する信号の遅延量は一定である。

【0051】また、多層且つ複数の配線層で第1及び第2電源用配線層を形成したので、第1及び第2の電源配線層の配線抵抗を低減でき、低インピーダンスで内部回路14内の各回路ブロックに電源(VCC)電位と接地(GND)電位を供給することができる。

【0052】以上の説明では、第1電源を電源電位、第2電源を接地電位としたが、第1電源を接地電位、第2電源を電源電位としても良い。この場合は、P⁺領域18をN⁺領域に、P⁺ウエル領域17をN⁻ウエル領域に変更すればよい。

【0053】次に、本発明の第2実施例について説明する。図10は本発明の第2実施例を示すチップの1/4部分の拡大平面図、図11は図10のA-A線による断面図である。接地パッド61、電源パッド62及び信号用パッド63(63a、63b)がチップ周辺部に配置されており、最上層の配線層において、これらのパッドから内部回路14に向けて、接地パッド配線層64、電源パッド配線層65及び信号用パッド配線層66(66a、66b)が伸びるように形成されており、内部回路の各端子に接続されている。そして、これらのパッド配線層の下層に、絶縁膜を介して、第4層の接地配線層71、電源配線層72、接地配線層73及び電源配線層74が内部回路14を4重に取り囲むように形成されている。接地配線層71及び電源配線層72と、接地配線層73及び電源配線層74とは夫々内部回路14側と、パッド61、62、63側とに偏在して配置されており、両者間には比較的広い絶縁膜の領域(スリット30)が存在する。この第4層配線層の下層の第3層には、電源配線層75が形成されており、この第3層の下層の第2層には、接地配線層76が形成されており、この第2層の下層の第1層には、電源配線層77が形成されており、これらの配線層75、76、77はいずれも内部回路14を取り囲むようにして周回状に配置されている。そして、接地パッド配線層64と接地配線層71、73とはコンタクト67により接続されており、電源配線層72、74と電源パッド配線層65とはコンタクト68により接続されている。また、電源配線層75、77はコンタクトを介して電源配線層72、74に接続されており、接地配線層76はコンタクトを介して接地配線層71、73に接続されている。

【0054】本実施例においても、パッド配線層の下層

の周回電源配線層において、電源配線層は配線層72及び配線層74の2つに分離している。しかし、この最上層の電源配線層において、第1実施例においては、GND-VCC-VCC-GNDの順に各配線層が並んでいるが、本実施例においては、GND-VCC-GND-VCCという順にこれらの配線層が並んでいる。

【0055】また、半導体基板59の配線領域の表面には、P⁺領域60がその全面に形成されている。更に、本実施例においては、一部の信号用パッド配線層66b及び電源用パッド配線層65は、第1実施例と異なり、その下層の配線層71乃至74と直交していない。

【0056】信号用パッド配線層66bと電源、接地配線層71、72(又は73、74)との交叉面積は、信号用パッド配線層66aのそれとほぼ同じ面積になるようしている。その結果、交差部分での寄生容量がほぼ同じになり、この交差部分で生ずる信号遅延をほぼ同一にすることができる。

【0057】また、信号用パッド配線層66bの隙間30領域上の幅を、図示しない半導体チップ辺中央部のそれに比べて幅広くすることで、配線抵抗を低減でき、チップ辺端部とチップ辺中央部との信号遅延時間差を低減することができる。

【0058】このように構成された半導体装置においては、第1実施例と同様に、パッド配線層の下層の電源配線層72、74が2つに分離しており、電源配線層はその分全体の幅が狭くなっている。従って、信号用パッド配線層66と最上層(第4層)電源配線層72、74との間につく寄生容量は小さい。また、電源配線層72、74の近傍に配置された接地配線層71、73も幅が狭いので、信号用配線層66に不必要的容量を付加してしまうことが抑制される。

【0059】また、電源配線層72、74と接地パッド配線層64とは絶縁膜を間に挟んで対向しており、幅が広い電源配線層75と、接地配線層76と、電源配線層77とは絶縁膜を間に挟んで対向しているので、これらの間にコンデンサが形成され、内部回路14と外部引き出し用の電源用パッド62及び接地用パッド61との間に、バイパスコンデンサが介装された状態にあり、この多層配線構造において、電源ノイズ及び接地ノイズが除去される。

【0060】次に、本発明の第3実施例について説明する。図12は本発明の第2実施例を示すチップの1/4部分の拡大平面図、図13は図12のA-A線による断面図、図14は図12のB-B線による断面図である。P型半導体基板81の表面上にNウエル82が内部回路14を取り囲むように形成されており、このNウエル82内にコンタクト用のN⁺領域83が形成されている。そして、半導体基板81の表面上には絶縁膜84が形成されており、この絶縁膜84内に、第1層の接地配線層109と、第2層の電源配線層106と、第3層の電源配

線層103、105及び接地配線層104とが形成されている。電源配線層103、106は、コンタクト108により電源パッド配線層95及び基板表面のN⁺領域83に接続されている、また、接地配線層104、107はコンタクト109により相互に接続されており、これらの配線層はコンタクト110により、接地パッド配線層94に接続されている。第4層にも導電層が存在するが、この第4層は電源パッド配線層に接続されたコンタクト108の中継用の導電層100、101と、接地パッド配線層94に接続されたコンタクト110の中継用の導電層102である。

【0061】絶縁膜84の上には、チップ周辺部に接地パッド91、電源パッド92及び信号用パッド93が形成されており、これらのパッド91、92、93から内部回路14に向かうように、接地用パッド配線層94、電源用パッド配線層95及び信号用パッド配線層96が形成されている。

【0062】本実施例においては、最上層の導電層は、コンタクトの中継用の導電層であり、内部回路14を周回する配線層ではない。この最上層の下層の第3層に、電源配線層103、105が2つに分離されて形成されており、従って、本実施例においても、信号用パッド配線層96と、電源配線層103、105との間につく寄生容量は極めて小さく、しかもこの電源配線層103、105は第3層であるので、信号用パッド配線層96との間に厚い絶縁膜が存在するため、信号用パッド配線層96につく容量成分は極めて小さい。

【0063】次に、本実施例の半導体装置において、信号線に付加される寄生容量を見積もり、信号遅延時間を算出した結果を、従来の半導体装置と比較して説明す

$$\begin{aligned} t_1 &= (75 \text{ m}\Omega \times 1400 / 100) \\ &\quad \times (120 \text{ aF} / \mu\text{m}^2 \times 1400 \times 100) \\ &= 1.05 \Omega \times 16.8 \text{ pF} \\ &= 17.6 \text{ ps} \end{aligned}$$

(ケース2) 最上層の電源配線層に隙間30がある場合
図16に示すように、電源配線層と直交した信号配線3の配線長Lを1400μm、配線幅Wを100μmとする。電源配線層35、36と、接地配線層34、37

る。

【0064】先ず、図1乃至図9に示す第1実施例において、信号用配線層33のシート抵抗を75mΩ/□とする。このとき、配線抵抗Rは、配線の長さ(L)に比例し、幅(W)に反比例するので、 $R = 75 (\text{m}\Omega) \times L / W$ と表すことができる。そして、信号用配線層33と最上層の第1、第2電源用配線層34～37との間の単位面積当たりの容量を $120 \text{ aF} / \mu\text{m}^2$ とする。このとき、配線容量Cは、配線の長さ(L)と幅(W)の積(面積)に比例するので、 $C = 120 (\text{aF} / \mu\text{m}^2) \times L \times W$ と表すことができる。なお、上記式において、aは 1×10^{-18} を意味する。また、信号用配線層33と電源用配線層39との間の単位面積当たりの容量を $30 \text{ aF} / \mu\text{m}$ とする。このとき、配線容量Cは、配線の長さ(L)と幅(W)の積(面積)に比例するので、 $C = 30 (\text{aF} / \mu\text{m}) \times L \times W$ と表すことができる。また、信号用配線層33による遅延時間tは、一般に、 $t = (\text{配線抵抗} R) \times (\text{配線容量} C)$ で表される。

【0065】最初に、隙間30の有無により、信号用配線層33につく信号遅延時間の違いを算出する。

【0066】(ケース1) 最上層の電源配線層に隙間30がほとんどない場合

図15に示すように、第4層の電源配線層35と接地配線層34の幅を700μm(2列で1400μm)と広くして、絶縁膜の間隔(隙間30の幅)を0.4μmとした場合の遅延時間t1は、下記式1により表される。

【0067】

【数1】

の各幅を50μm、電源配線層35と36との隙間30の間隔を1200μmとする。この場合、遅延時間t2は、下記式2にて表される。

【0068】

【数2】

$$\begin{aligned} t_2 &= (75 \text{ m}\Omega \times 1200 / 100) \\ &\quad \times (30 \text{ aF} / \mu\text{m}^2 \times 1200 \times 100) \\ &\quad + 2 \times (75 \text{ m}\Omega \times 100 / 100) \\ &\quad \times (120 \text{ aF} / \mu\text{m}^2 \times 100 \times 100) \\ &= 0.9 \Omega \times 3.6 \text{ pF} + 2 \times 75 \text{ m}\Omega \times 1.2 \text{ pF} \\ &= 3.24 \text{ ps} + 0.18 \text{ ps} \\ &= 3.42 \text{ ps} \end{aligned}$$

このように、ケース1に示す従来(信号配線の下を電源/接地配線層一面覆う場合)の例に比べ、ケース2に示す本実施例の場合では、最上層の電源/接地配線層に

隙間30を設けることにより、信号配線部分での遅延時間を1/5に低減できる。

【0069】次に、交差する面積を均一化することによ

る効果について説明する。

【0070】(ケース3) 従来のように全範囲で斜めに信号配線が交差する場合

図17に示すように、電源配線層35、36と、接地配線層34、37の各幅を200μm、電源配線層35と36との間隔を600μmとする。電源配線層35と信

$$\begin{aligned} t_3 &= (\text{隙間 } 30 \text{ 領域の遅延}) + (\text{電源配線 } 35 \sim 37 \text{ 領域の遅延}) \\ &= (75 \text{ m}\Omega \times 600 \sqrt{2} / 100) \\ &\quad \times (30 \text{ aF} / \mu\text{m}^2 \times 600 \sqrt{2} \times 100) \\ &\quad + 2 \times (75 \text{ m}\Omega \times 400 \sqrt{2} / 100) \\ &\quad \times (120 \text{ aF} / \mu\text{m}^2 \times 400 \sqrt{2} \times 100) \\ &= 0.64 \Omega \times 2.55 \text{ pF} + 2 \times 0.42 \Omega \times 6.79 \text{ pF} \\ &= 1.62 \text{ ps} + 5.76 \text{ ps} \\ &= 7.38 \text{ ps} \end{aligned}$$

(ケース4) 電源配線層上にて信号用配線層33を直交し、他を斜め信号配線とした場合図18に示すように、信号用配線層33と電源配線層とを直交させた場合は、

$$\begin{aligned} t_4 &= (75 \text{ m}\Omega \times 600 \sqrt{2} / 100) \\ &\quad \times (30 \text{ aF} / \mu\text{m}^2 \times 600 \sqrt{2} \times 100) \\ &\quad + 2 \times (75 \text{ m}\Omega \times 400 / 100) \\ &\quad \times (120 \text{ aF} / \mu\text{m}^2 \times 400 \times 100) \\ &= 0.64 \Omega \times 2.54 \text{ pF} + 2 \times 0.30 \Omega \times 2.88 \text{ pF} \\ &= 1.62 \text{ ps} + 2.88 \text{ ps} \\ &= 4.50 \text{ ps} \end{aligned}$$

(ケース5) 中央部分の配線の遅延時間図19に示すように、中央部分の配線の遅延時間は下記数式5にて示される。

$$\begin{aligned} t_5 &= (75 \text{ m}\Omega \times 600 / 100) \\ &\quad \times (30 \text{ aF} / \mu\text{m}^2 \times 600 \times 100) \\ &\quad + 2 \times (75 \text{ m}\Omega \times 400 / 100) \\ &\quad \times (120 \text{ aF} / \mu\text{m}^2 \times 400 \times 100) \\ &= 0.45 \Omega \times 1.80 \text{ pF} + 2 \times 0.30 \Omega \times 4.80 \text{ pF} \\ &= 0.81 \text{ ps} + 2.88 \text{ ps} \\ &= 3.69 \text{ ps} \end{aligned}$$

このように、ケース5に示す中央部の信号配線の遅延時間t5と、ケース3(従来)に示すコーナ部の遅延時間との差t53は32.9psあるのに対して、ケース4(本発明)の遅延時間との差t54は0.8psに減少できる。

【0075】即ち、電源配線との交叉面積を中心部とコーナ部とで同じにすることで信号配線における遅延時間の違いを大幅に低減できる。特に、この効果は電源配線との交叉面積が大きいほど顕著である。このような効果は、電源配線間に隙間30を設けたために初めて可能となったものである。

【0076】なお、上記実施例においては、電源配線層35、36間は隙間30として絶縁膜が存在するが、電源配線層35、36に接続されていない導体層であれば、電源配線層35、36間に存在してもよい。

【0077】

号配線33aの交叉角度を45度とする。

【0078】この場合の遅延時間t3は、下記数式3にて示される。

【0079】

【数3】

遅延時間t4は下記数式4にて示される。

【0080】

【数4】

【0081】

【数5】

【発明の効果】以上説明したように、本発明によれば、配線領域に設けられた多層配線構造の最上層の第1電源用配線層が複数個に分割され、両者間には絶縁膜等が占めるので、最上層の第1電源用配線層はその分全体の幅が狭くなってしまい、信号用配線層と第1電源用配線層との間ににつく寄生容量は小さい。これにより、信号の遅延を低減することができる。

【0082】また、この第1電源用配線層の同層に近接して第2電源用配線層を設ければ、両者の側面間に大きな容量値を有するバイパスコンデンサを構成することができる。

【0083】更に、信号用配線層をその下層に配置された第1電源用配線層に対して、垂直又は一定の角度で傾斜したものとすることにより、信号用配線層に付与される寄生容量を各信号線で一定にすることができる。

【0084】更にまた、信号用配線層と周回電源配線層

との交叉面積を半導体装置のチップ辺の中央付近と周辺（コーナー部）とでほぼ同一としたので、パッド位置による遅延時間較差を低減でき、高速で且つ誤動作の少ない半導体装置を提供することができる。

【0081】更にまた、第1、第2電源用配線層を多層で形成するようにしたので、第1、第2電源用配線層の配線抵抗を低減することができる。このため、インピーダンスが低い電源電位と接地電位を内部回路内の各回路ブロックに供給することができ、回路ブロック間の干渉及びノイズが少なく、安定した半導体装置を提供することができる。

【0082】更にまた、周回電源配線は、新たに製造工程を追加することなく、内部回路の形成工程と同じ工程で製造できるので、製造コストの増加がない。

【図面の簡単な説明】

【図1】本発明の実施例に係る半導体装置を示す平面図である。

【図2】図1のA-A線による断面図である。

【図3】図1のB-B線による断面図である。

【図4】図1のC-C線による断面図である。

【図5】本実施例の各層における層配置の全体を示す平面図である。

【図6】図5(c)の一部拡大図である。

【図7】図5(d)の一部拡大図である。

【図8】図5(e)の一部拡大図である。

【図9】図5(f)の一部拡大図である。

【図10】本発明の第2実施例を示す平面図である。

【図11】図10のA-A線による断面図である。

【図12】本発明の第3実施例を示す平面図である。

【図13】図12のA-A線による断面図である。

【図14】図12のB-B線による断面図である。

【図15】ケース1の寄生容量を見積もる図である。

【図16】ケース2の寄生容量を見積もる図である。

【図17】ケース3の寄生容量を見積もる図である。

【図18】ケース4の寄生容量を見積もる図である。

【図19】ケース5の寄生容量を見積もる図である。

【図20】従来の半導体装置を示す平面図である。

【符号の説明】

11, 61, 91 : 接地パッド

12, 62, 92 : 電源パッド

13, 63 (63a, 63b), 93 : 信号用パッド

14 : 内部回路

16 : 半導体基板

19 : 絶縁膜

20, 21, 22, 23, 24, 25, 26, 67, 68, 108, 109, 110 : コンタクト

30 : 隙間

31, 64, 94 : 接地用パッド配線層

32, 65, 95 : 電源用パッド配線層

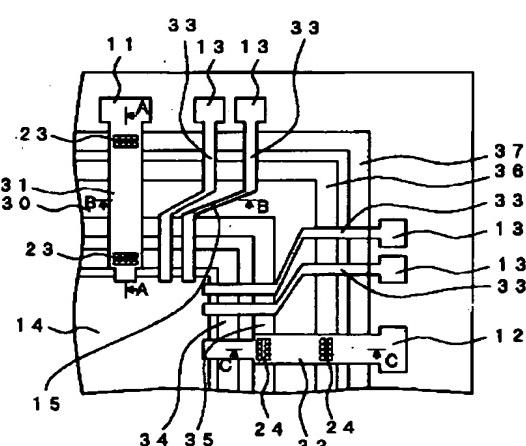
33, 66 (66a, 66b), 96 : 信号用配線層

34, 37, 38, 40, 41, 71, 73, 76, 104, 107 : 接地配線層

35, 36, 39, 42, 72, 74, 77, 103, 105, 106 : 電源配線層

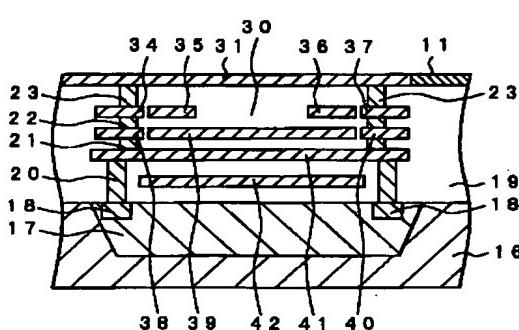
100, 101, 102 : 導電層

【図1】



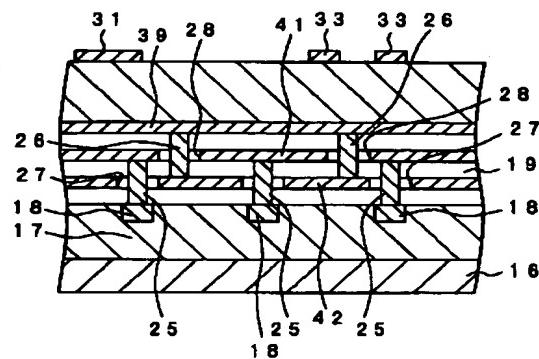
- | | |
|----------------|---------------------------|
| 11 : 接地パッド | 31 : 接地用パッド配線層 |
| 12 : 電源パッド | 32 : 電源用パッド配線層 |
| 13 : 信号用パッド | 33 : 信号用配線層 |
| 14 : 内部回路 | 34, 37 : 接地配線層 |
| 23, 24 : コンタクト | 35, 36 : 電源配線層 |
| 30 : 隙間 | 38, 39, 40, 41, 42 : 寸法記号 |

【図2】



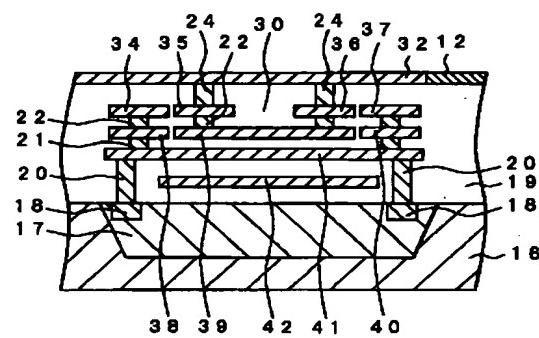
- | |
|----------------------------|
| 16 : 半導体基板 |
| 19 : 絶縁膜 |
| 34, 37, 38, 40, 41 : 接地配線層 |
| 35, 36, 39, 42 : 電源配線層 |
| 20, 21, 22, 23 : コンタクト |

【図3】

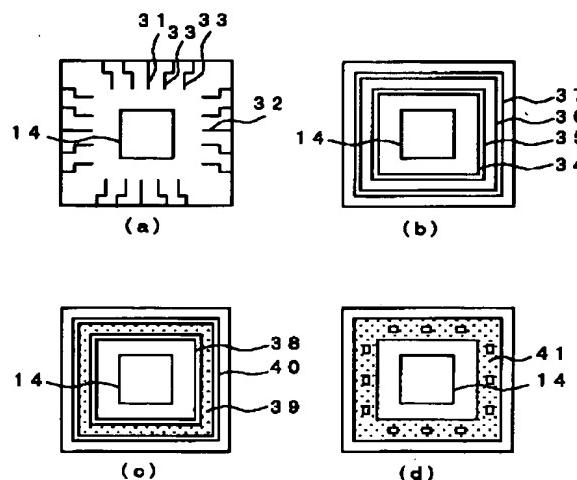


25, 26 ; コンタクト

【図4】

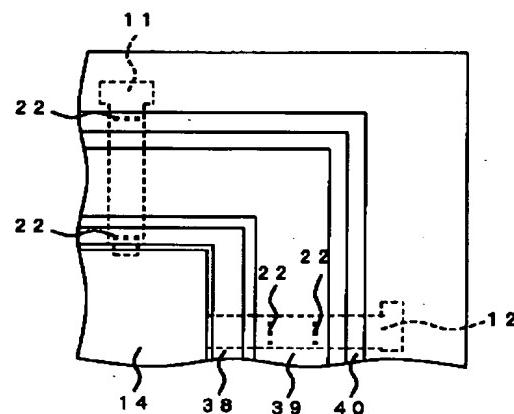


【図5】

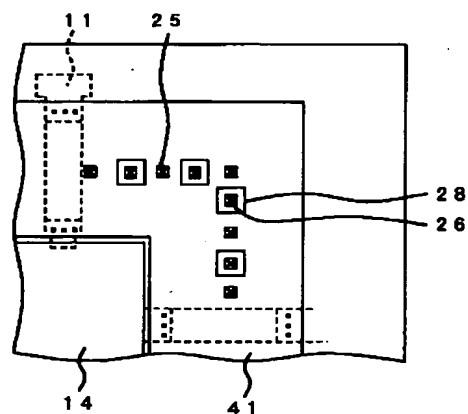


34, 37, 38, 40, 41 ; 接地配線層
35, 36, 39, 42 ; 電源配線層

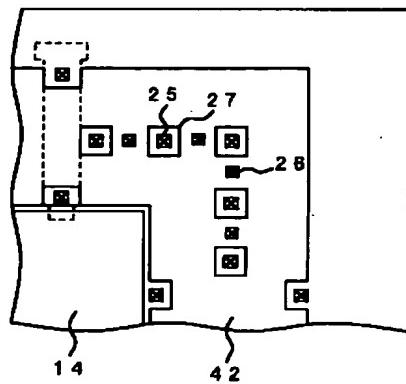
【図6】



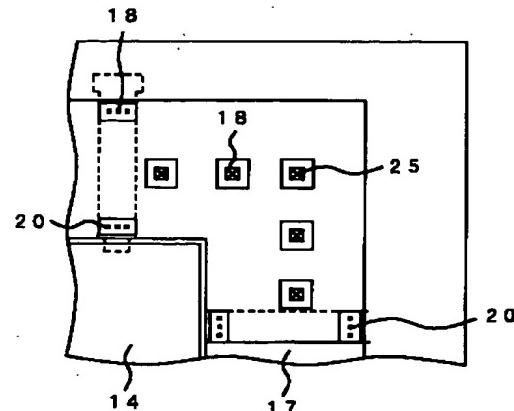
【図7】



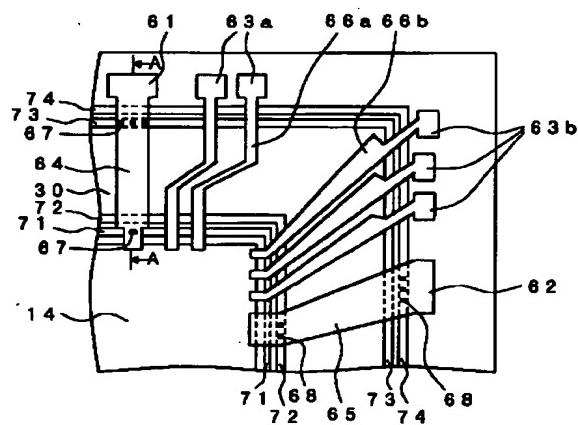
【図 8】



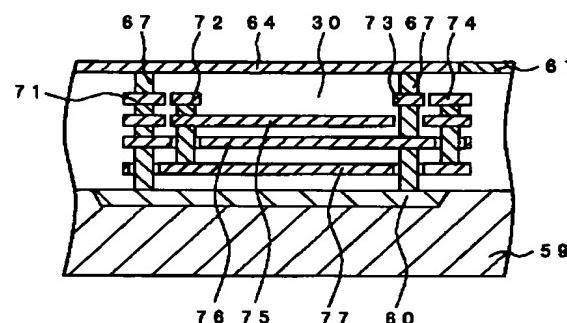
【図 9】



【図 10】



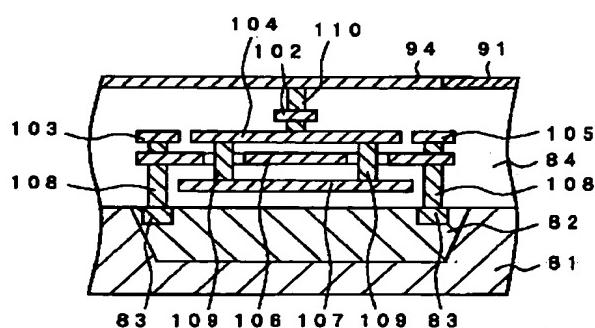
【図 11】



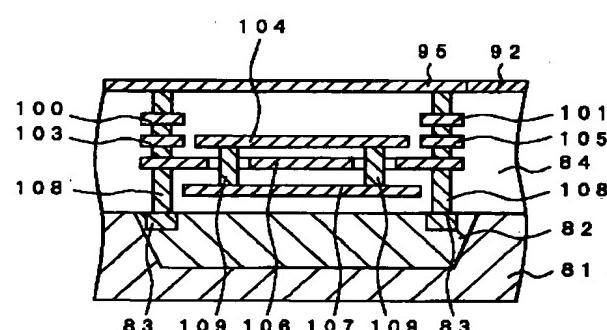
71, 73, 76 : 接地配線層
72, 74, 77 : 電源配線層

61 : 接地パッド
62 : 電源パッド
63a, 63b : 信号用パッド
67, 68 : コンタクト
64, 65, 66a, 66b : パッド配線層
71, 73 : 接地配線層
72, 74 : 電源配線層

【図 14】

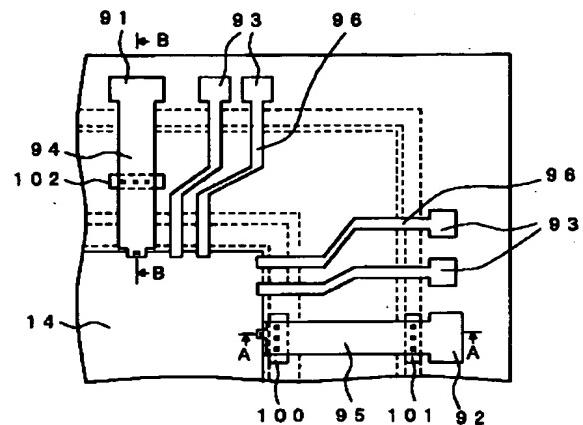


【図 13】



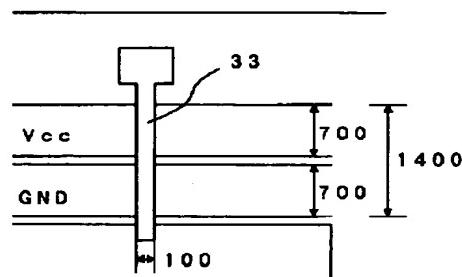
100, 101, 102 : 导電層
103, 105, 106 : 電源配線層
104, 107 : 接地配線層
108, 109, 110 : コンタクト

【図12】

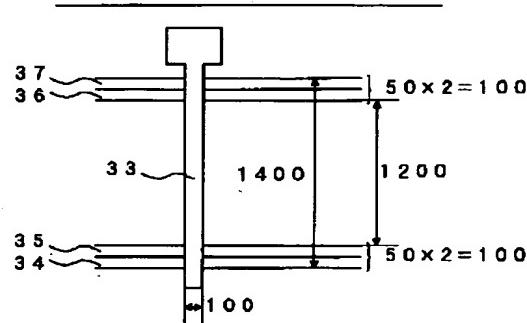


91 ; 接地パッド
 92 ; 電源パッド
 93 ; 信号用パッド
 94 ; 接地用パッド配線層
 95 ; 電源用パッド配線層
 96 ; 信号用パッド配線層

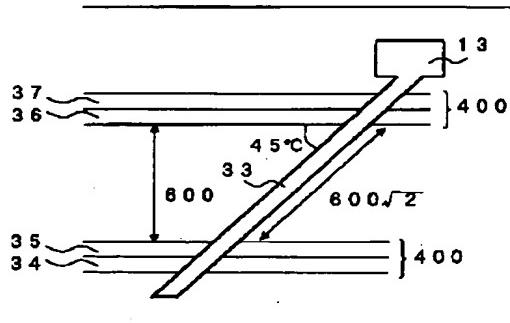
【図15】



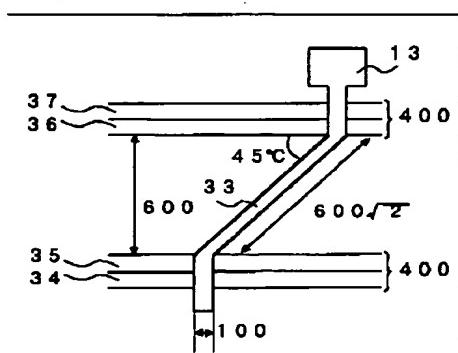
【図16】



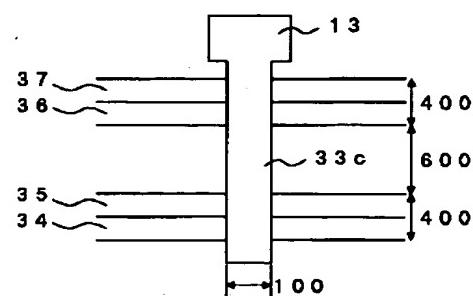
【図17】



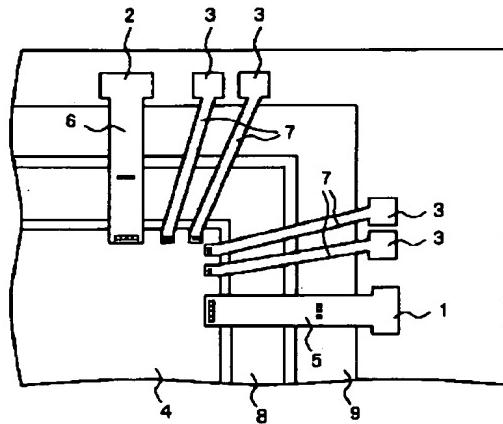
【図18】



【図19】



【図 20】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H 0 1 L 23/12

テマコード(参考)

N
B
E
D

27/04

F ターム(参考) 5F033 HH04 HH08 KK01 KK04 KK08
 VV04 VV05 VV07 XX24 XX27
 5F038 AC05 AZ06 BE07 BE09 BH03
 BH19 CA10 CD02 CD04 CD05
 CD09 CD12 CD13 EZ10
 5F064 DD42 DD44 EE08 EE10 EE23
 EE33 EE36 EE42 EE43 EE44
 EE46 EE47 EE52 EE53